



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020064849 (43) Publication.Date. 20020810

(21) Application No.1020010005290 (22) Application Date. 20010203

(51) IPC Code:

H03L 7/08

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

CHOI, HYEONG JIN

KIM, PAN SU

KO, SEOK JUN

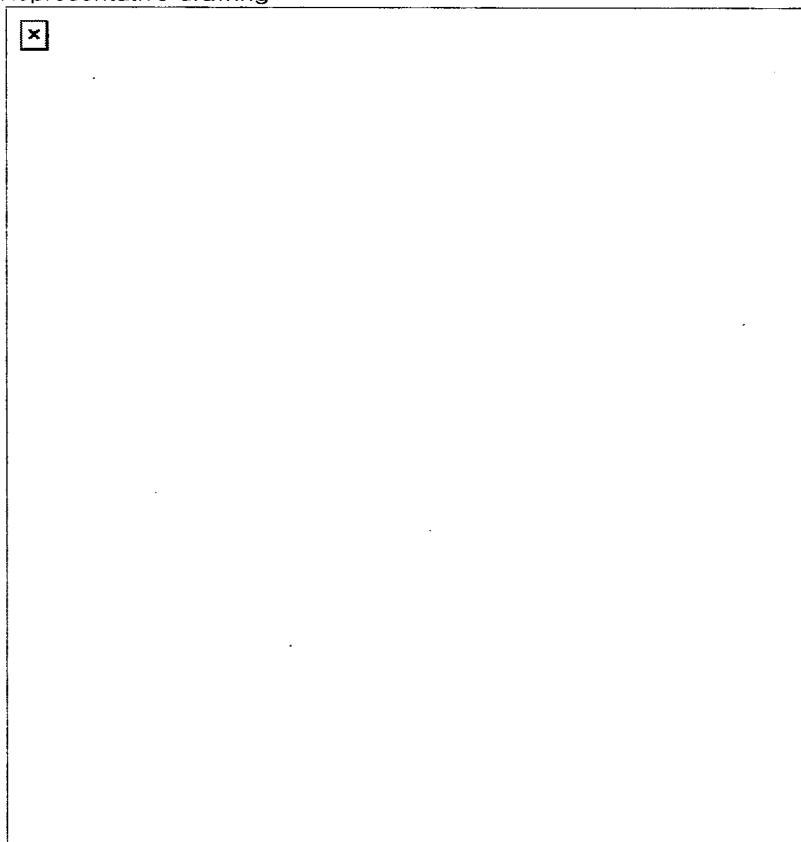
LEE, JAE UK

(30) Priority:

(54) Title of Invention

PHASE DETECTOR OF INPUT SIGNAL AND METHOD THEREOF, AND PHASE LOCKED LOOP CIRCUIT USING THE SAME

Representative drawing



(57) Abstract:

PURPOSE: An apparatus for detecting a phase error of an input signal and a method thereof, and a phase locked loop (PLL) circuit using the same are provided, which reduces variance values of timing errors according to a signal to noise ratio and reduces a normal state jitter.

CONSTITUTION: According to the phase locked loop(PLL) circuit, an A/D (Analog/Digital) converter part converts signals inputted sequentially into digital signals. A phase detector part(30) includes a calculation part(32) calculating a timing error between an input timing of the digital signal inputted from the A/D converter part in sequence and a sampling timing of the A/D converter part, and a sign change detection part(34) detecting a sign change of the digital signal, and a switch part(38) which is driven by the sign change detection part and outputs the timing error calculated by the calculation part when the sign change detection part detects the sign change of the digital signal. A sampling timing control part changes the sampling timing of the A/D converter part by transiting a phase in correspondence to the timing error by receiving the timing error

from the switch part.

© KIPO 2003

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H03L 7/08	(11) 공개번호 (43) 공개일자	특2002-0064849 2002년08월10일
(21) 출원번호	10-2001-0005290	
(22) 출원일자	2001년02월03일	
(71) 출원인	삼성전자 주식회사 대한민국 442-803 경기 수원시 팔달구 매탄3동 416	특허 1
(72) 발명자	이재욱 대한민국 447-010 경기도오산시오산동922-2현대아파트102동1604호 김판수 대한민국 440-746 경기도수원시장안구천천동300번지성균관대학교전자공학과 고석준 대한민국 440-746 경기도수원시장안구천천동300번지성균관대학교전자공학과 최형진 대한민국 440-746 경기도수원시장안구천천동300번지성균관대학교전자공학과	관여번호 미공 IP 20020411 유점 IP 20020412
(74) 대리인	정홍식	
(77) 심사청구	없음	
(54) 출원명	입력신호의 위상오차 검출장치와 그 방법, 및 이를 이용한위상고정루프회로	

요약

입력신호가 다중레벨이고 영점교차 전이가 불규칙한 특성을 갖는 CD나 DVD와 같은 시스템에 효율적으로 이용될 수 있는 타이밍오차 검출장치 및 방법이 개시된다. CD, DVD 등으로부터 읽어들이는 신호는 A/D변환부에 의하여 디지털신호로 변환된다. 연산부는 디지털신호의 입력타이밍과 바람직한 샘플링타이밍간의 타이밍오차를 검출한다. 부호변화검출부는 부호변화가 있을 때에만 타이밍오차를 출력하도록 스위치를 구동한다. VCO부는 타이밍오차를 보정하기 위하여 샘플링타이밍의 위상전이를 실행한다. 이로써, 입력신호가 다중레벨이고 영점교차 전이가 불규칙한 CD나 DVD 시스템에서, 신호대잡음비에 따른 타이밍오차들의 분산값을 줄이고 추적시 정상상태 지터량을 감소시킬 수 있는 우수한 추적성능을 가진 타이밍오차 검출장치 및 방법이 구현된다.

대표도

도3

색인어

타이밍오차, 디지털신호, 지터, 신호대잡음비

명세서

도면의 간단한 설명

도 1은 일반적인 위상고정루프회로의 블록도,

도 2는 타이밍오차를 검출하는 종래의 위상오차검출부의 블록도,

도 3은 본 발명에 따르는 위상고정루프회로의 블록도,

도 4는 본 발명에 따르는 타이밍오차를 검출하는 위상오차검출부의 블록도, 그리고

도 5는 본 발명에 따르는 타이밍오차 검출방법을 나타내는 흐름도이다.

* 도면의 주요부분에 대한 부호의 설명 *

11 : A/D변환부

13 : 위상오차검출부(Phase Detector)

15 : 로우패스필터(LPF)

17 : VCO(Voltage Controlled Oscillater)부

23a, 23b, 33a, 33b, 33c : 버퍼

25, 35a, 35b, 35c, 35d : 쿼타이저(quantizer)

36a, 36b, 36c, 36d : 덧셈기

27a, 27b, 37a, 37b : 곱셈기

29, 39 : 감산기

34 : 부호변화검출부

38 : 스위치부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 입력신호의 위상오차를 검출하는 장치와 방법, 및 이를 이용한 위상고정루프회로에 관한 것으로서, 보다 상세하게는 디스크로부터 판독된 신호의 주파수 및 위상 변화에 따른 위상오차를 검출하는 장치와 방법, 및 이를 이용한 위상고정루프회로에 관한 것이다.

CD나 DVD와 같은 디스크의 정보를 기록/재생하는 시스템에서는 일정한 속도 즉, 등각속도로 회전시킬때 디스크의 안쪽에 위치한 트랙을 읽을 때는 선속도가 느리고 반대로 바깥쪽에 위치한 트랙을 읽을때는 선속도가 빠르다. 따라서, 디스크의 안쪽과 바깥쪽 트랙 사이의 주파수가 큰폭으로 변하기 때문에, 수신단쪽에서는 입력신호의 정확한 타이밍오차를 검출하여 추적성능을 향상시킬 수 있는 알고리즘을 이용할 필요가 있다. 이러한 알고리즘으로는, M&M(K.H.Mueller and M.Muller) 방식이 이용된다. 이는 논문 "Timing recovery in digital synchronous data receiver." (IEEE Trans. Commun., vol. COM-14, pp.516-530, May 1976.)에 개시되어 있다.

도 1은 일반적인 타이밍오차 검출 및 보정을 수행하여 입력타이밍과 샘플링타이밍을 동기화시키는 위상고정루프회로(PLL:phase locked loop circuit)를 도시하는 블록도이다. 타이밍오차는 주파수영역에서는 위상오차와 동일한 의미를 가지므로, 이하의 설명에서는 '타이밍오차'와 '위상오차'를 동일한 의미로 혼용하여 사용한다.

타이밍오차 검출 및 보정과정은 A/D변환부(11)를 통한 A/D변환과정, 위상오차검출부(phase detector)(13)를 통한 위상오차검출과정, 로우패스필터(low pass filter)(15)를 이용한 노이즈제거과정, 및 VCO(voltage controlled oscillator)부(17)를 이용한 샘플링타이밍의 위상보정과정으로 구성된다.

데이터수신단인 광픽업으로부터 CD 또는 DVD의 트랙으로부터 판독한 데이터를 PLL의 A/D변환부(11)에 순차적으로 입력한다. A/D변환부(11)는 광픽업으로부터 수신한 아날로그신호를 디지털신호로 변환시킨다. 위상오차검출부(13)는 A/D변환기(11)로부터 디지털신호를 순차적으로 수령하여 후술하는 방법으로 타이밍오차를 산출한다. 위상오차검출부(13)에 의하여 산출된 타이밍오차는 로패스필터(15)에 입력된다. 로패스필터(15)는 수령한 타이밍오차를 노이즈를 제거하여 VCO부(17)에 입력한다. VCO부(17)는 수령한 타이밍오차를 보정하기 위하여 오차값만큼 위상을 천이한다.

도 2는 타이밍오차를 검출하는 종래의 위상오차검출부(13)의 블록도이다. 상기한 바와 같은 M&M 알고리즘방식에 따르면, 타이밍오차는 다음과 같은 식에 의해 검출된다.

$$z_k = \frac{1}{2} (a_k x_{k-1} - a_{k-1} x_k)$$

이를 구현한 것이 도 2에 도시된 블록도이다. 도 2에 따르면, 위상오차검출부(13)는 두개의 버퍼(23a,23b), 쿼타이저(25), 두개의 곱셈기(27a,27b), 및 감산기(29)를 구비하고 있다.

버퍼(23a)는 A/D변환기(11)로부터 디지털신호를 수령하여 저장한다. 디지털신호 x_{k-1} 가 입력된 후에, 새로운 디지털신호 x_k 가 입력되었다고 가정하면, 버퍼(23a)에는 디지털신호 x_{k-1} 가 저장되어 있다. 쿼타이저(25)는 A/D변환부(11)로부터 새로운 디지털신호 x_k 를 수령하여 그 디지털신호값에 따라 +1 또는 -1로 이치양자화한 값 a_k 를 버퍼(23b)로 출력한다. 버퍼(23b)에는 디지털신호 x_{k-1} 에 의한 쿼타이저(25)의 출력값 a_{k-1} 가 저장되어 있다. 곱셈기(27a)는 버퍼(23a)의 출력값 x_{k-1} 와 새로운 디지털신호 x_k 에 의한 쿼타이저(25)의 출력값 a_k 를 수령한다. 곱셈기(27b)는 A/D변환부(11)의 출력값 x_k 와 버퍼(23b)의 출력값 a_{k-1} 을 수령한다. 감산기(29)는 곱셈기(27a,27b)의 값을 수령하여 타이밍오차를 산출한다.

그러나, 종래기술에 따르는 타이밍오차 검출장치는 매 샘플 클럭마다 타이밍오차를 검출하는 방식으로 순차적으로 입력된 두개의 디지털신호만 이용하기 때문에 위상검출기의 이득이 크다. 따라서 타이밍오차 추적시 정상상태 지터(jitter)값이 크고 민감하게 동작하는 편이므로 기저대역 전송이나 신호대잡음비(SNR:signal to noise ratio)가 높은 환경에서만 그 성능을 보장할 수 있는 문제점을 가지고 있다.

또한, 타이밍오차값이 매 샘플 클럭에서 나타나므로 신호의 영점교차 천이가 불규칙적이고 다중레벨신호인 DVD시스템에서 데이터 샘플값들의 분산값이 신호대잡음비의 영향에 따라 상당히 큰 변동값을 보이는 문제점을 가진다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여, 창안된 것으로서, 본 발명의 목적은, 입력신호의 다중레벨이고 영점교차 전이가 불규칙한 특성을 갖는 DVD시스템 특성을 극복할 수 있도록 신호대잡음비에 따른 타이밍오차값들의 분산값을 줄이고 추적시 정상상태 지터량을 감소시킬 수 있는 우수한 추적성능을 가진 위상오차 검출장치와 방법, 및 이를 이용한 위상고정루프회로를 제공하는 것이다.

발명의 구성 및 작용

상기 위상고정루프회로는, 순차적으로 입력되는 신호를 디지털변환시키는 A/D변환부; 상기 A/D변환부로부터 순차적으로 입력되는 디지털신호의 타이밍오차를 산출하는 연산부, 상기 디지털신호의 부호변화를 검출하는 부호변화검출부, 및 상기 부호변화검출부에 의해 구동되어 상기 부호변화검출부가 상기 부호변화를 검출한 경우에 상기 연산부가 산출한 상기 타이밍오차를 출력하는 스위치부를 포함하는 위상오차검출부; 및 상기 스위치부로부터 상기 타이밍오차를 수령하여 상기 타이밍오차에 대응하는 위상을 전이시킴으로써 상기 타이밍오차를 보정하는 샘플링타이밍 조정부를 포함한다. 상기의 위상오차검출부는 위상오차검출장치에 의하여 구현된다.

상기의 목적은, 순차적으로 입력되는 디지털신호의 입력 타이밍과 상기 디지털신호의 샘플링 타이밍간의 타이밍오차를 산출하는 단계, 순차적으로 입력되는 상기 디지털신호의 부호변화를 검출하는 단계, 및 상기 부호변화검출기에 의해 구동되어 상기 부호변화검출기가 상기 부호변화를 검출한 경우에 상기 연산기가 산출한 상기 타이밍오차를 출력하는 단계를 포함하는 타이밍오차 검출방법에 의하여 달성된다.

여기서, 위상고정루프회로는, 상기 위상오차검출부로부터 상기 타이밍오차를 수령하여 노이즈를 제거하고, 상기 노이즈가 제거된 타이밍오차를 샘플링타이밍 조정부에 출력하는 필터부를 더 포함하는 것이 바람직하다. 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

도 3은 본 발명의 위상고정루프회로를 도시하는 블록도이다. 여기서, 샘플링타이밍 조정부는 동기신호를 만드는 클럭발생기인 VCO부으로써 구현하였다.

타이밍오차 검출 및 보정을 위한 위상고정루프회로의 구성은 위상오차검출부(30)를 제외하고는 도 1에 도시한 종래의 위상고정루프회로와 동일하고, 또한 그 동작방식도 종래의 위상고정루프회로와 유사하다. 즉, 위상고정루프회로는 A/D변환부(11), 위상오차검출부(30), 로우패스필터(15), 및 VCO부(17)로 구성된다. 도 3에서, 도 1에 도시된 종래의 위상고정루프회로의 각 부분과 동일한 부분에 대해서는 동일한 참조부호를 부여하였다.

도 4는 본 발명에 따르는 타이밍오차를 검출하는 위상오차검출부(30)를 도시한 블록도이다. 본 발명에 따르는 위상오차검출부(30)는 위상오차 검출장치에 의하여 구현된다. 본 발명에 따르는 위상오차검출장치는, 입력신호의 타이밍오차를 산출하는 연산부(32), 입력되는 디지털신호의 부호변화를 검출하는 부호변화검출부(34), 및 부호변화검출부(34)에 의해 구동되어 부호변화가 검출된 경우에 연산부(32)가 산출한 타이밍오차를 출력하는 스위치부(38)로 구성된다.

여기서, 연산부(32)는 서로 직렬로 연결되어 순차적으로 입력되는 디지털신호를 순차적으로 저장하는 세개의 버퍼(33a, 33b, 및 33c), 순차적인 디지털신호를 이치양자화시키는 네개의 쿼타이저(35a, 35b, 35c, 및 35d), 순차적인 네개의 디지털신호 또는 쿼타이저의 출력값에 대한 덧셈 연산을 수행하는 네개의 덧셈기(36a, 36b, 36c, 및 36d), 덧셈기의 출력값을 곱셈연산하는 두개의 곱셈기(37a, 37b), 및 제1곱셈기(37a)의 출력값과 제2곱셈기(37b)의 출력값을 수령하는 감산기(39)를 가지고 있다.

A/D변환부(11)로부터 디지털신호 x_{k-3} , x_{k-2} , x_{k-1} 가 순차적으로 입력되어 제1버퍼(33a), 제2버퍼(33b), 및 제3버퍼(33c)에 순차적으로 저장된 후에 새로운 디지털신호 x_k 가 입력되었다고 가정한다. 제1쿼타이저(35a), 제2쿼타이저(35b), 제3쿼타이저(35c), 및 제4쿼타이저(35d)는 각각의 버퍼에 저장되어 있는 디지털신호 x_{k-3} , x_{k-2} , x_{k-1} 및 새로운 디지털신호 x_k 를 수령하여 각각의 디지털신호의 부호비트에 따라 각각의 대응되는 이치양자화신호 a_{k-3} , a_{k-2} , a_{k-1} , 및 a_k 로 이치양자화시킨다. 여기서 이치양자화신호는 +1 또는 -1이다.

제1덧셈기(36a)는 제1버퍼(33a)에 저장되어 있는 디지털신호 x_{k-3} 와 제2버퍼(33b)에 저장되어 있는 디지털신호 x_{k-2} 를 수령한다. 제2덧셈기(36b)는 제3버퍼(33c)에 저장되어 있는 디지털신호 x_{k-1} 와 새로 입력된 디지털신호 x_k 를 수령한다. 제3덧셈기(36c)는 제1쿼타이저(35a)에 의한 이치양자화신호 a_{k-3} 와 제2쿼타이저(35b)에 의한 이치양자화신호 a_{k-2} 를 수령한다. 제4덧셈기(36d)는 제3쿼타이저(35c)에 의한 이치양자화신호 a_{k-1} 와 제4쿼타이저(35d)에 의한 이치양자화신호 a_k 를 수령한다. 제1곱셈기(37a)는 제2덧셈기(36b)의 출력값 $(x_{k-1} + x_k)$ 과 제3덧셈기(36c)의 출력값 $(a_{k-3} + a_{k-2})$ 을 수령한다. 제2곱셈기(37b)는 제1덧셈기(36a)의 출력값 $(x_{k-3} + x_{k-2})$ 과 제4덧셈기(36d)의 출력값 $(a_{k-1} + a_k)$ 을 수령한다. 감산기(39)는 제1곱셈기(37a)의 출력값 $(x_{k-1} + x_k)(a_{k-3} + a_{k-2})$

과 제2곱셈기(37b)의 출력값 $(x_{k-3} + x_{k-2})(a_{k-1} + a_k)$ 을 수령하여 감산을 행한다. 이 감산된 출력값에는 샘플링되는 네개의 디지털신호에 대한 이득 1/8이 곱하여진다. 이 이득은 M&M 알고리즘방식에 의하여 산출된 것으로서 자세한 것은 전술한 바와 같은 논문 "Timing recovery in digital synchronous data receiver." (IEEE Trans. Commun., vol. COM-14, pp.516-530, May 1976.)에 개시되어 있다. 감산기(39)에 의하여 출력된 값이 타이밍오차가 된다. 이와같은 연산부(32)의 연산을 식으로 표현하면 다음과 같다.

$$z_k = \frac{1}{8} [(x_{k-3} + x_{k-2}) \times (a_{k-1} + a_k) - (x_{k-1} + x_k) \times (a_{k-3} + a_{k-2})]$$

여기서,

z_k = 타이밍오차 출력값,

x_k = k번째 입력된 디지털신호,

a_k = k번째 입력된 디지털신호의 이치양자화된 값, 그리고

$k = 4, 5, 6, 7, \dots, n, \dots$ (n : 자연수)

이다.

A/D변환부(11)로부터 출력되는 디지털신호를 샘플단위에 대해 6비트로 표현하는 경우, 디지털신호의 6비트 중에서 최상위비트는 부호비트이고, 나머지 5비트는 데이터비트이다.

부호변화부(34)는 CD나 DVD와 같은 시스템은 부호비트가 적어도 3회이상 반복되어 이루어지는 특성을 이용하여 연속된 네개의 디지털신호의 부호비트가 입력되는 엑소오어게이트로 구성하는 것이 바람직하다. 제1버퍼(33a), 제2버퍼(33b), 및 제3버퍼(33c)에 각각 저장되어 있는 디지털신호 x_{k-3} , x_{k-2} , x_{k-1} 및 x_k 는 부호변화부(34)에 입력되어 각각의 디지털신호의 부호비트가 상호 비교된다. 즉, 부호변화부(34)는 엑소오어게이트로 구성되어 있으므로 각각의 디지털신호의 부호비트가 1인 것이 홀수개 있으면 부호변화부(34)는 각각의 디지털신호 사이에 부호변화가 있다고 인식하고 부호변화신호를 출력하여 스위치부(38)를 구동시킨다.

스위치부(38)는 연산부(32)의 출력측에 연결되어 있다. 스위치부(38)는 연산부(32)로부터 타이밍오차를 수령하며, 부호변화부(32)로부터 부호변화신호가 있을때에만 타이밍오차를 출력한다. 스위치부(38)로부터 출력된 타이밍오차는 위상고정루프회로(PLL:phase locked loop circuit)의 VCO부(17)에 입력된다. VCO부(17)는 스위치부(38)로부터 타이밍오차를 수령하여 그 타이밍오차에 대응되는 만큼 위상을 천이시킴으로써 타이밍오차를 보정한다.

도 5는 본 발명에 따르는 타이밍오차 검출방법을 나타내는 흐름도이다. 본 발명에 따르는 입력신호의 타이밍오차 검출방법은, 순차적으로 입력되는 디지털신호의 입력 타이밍과 상기 디지털신호의 샘플링 타이밍간의 타이밍오차를 산출하는 단계, 순차적으로 입력되는 상기 디지털신호의 부호변화를 검출하는 단계, 및 상기 부호변화검출기에 의해 구동되어 상기 부호변화검출기가 상기 부호변화를 검출한 경우에만 상기 연산기가 산출한 상기 타이밍오차를 출력하는 단계를 포함한다.

먼저, 데이터수신단인 광픽업이 CD나 DVD와 같은 시스템으로부터 데이터를 읽으면, A/D변환부(11)는 읽어들이 데이터를 디지털신호로 변환시킨다(S41).

연산부(32)는 순차적으로 입력되는 네개의 디지털신호를 연산함으로써 타이밍오차를 산출한다(S43). 연산부(32)에 의하여 타이밍오차가 산출되는 방법은 상술한 바와 동일하다.

부호변화검출부(34)는 연산부(32)에 의하여 연산되는 네개의 순차적인 디지털신호를 수령하여 각각의 디지털신호의 최상위비트를 비교함으로써 부호변화여부를 검출한다(S44). 본 발명에 따르는 타이밍오차 검출방법에서는 부호변화검출부(34)를 엑소오어게이트로 구현하였다. 따라서 최상위비트가 1인 디지털신호가 홀수개일 경우에 부호변화검출부(34)는 네개의 디지털신호 중에 부호변화가 있음을 인식하게 된다. 부호변화검출부(34)는 부호변화가 있는 경우에 스위치부(38)에 부호변화신호를 출력함으로써, 스위치부(38)를 구동시킨다.

연산부(32)의 출력측에 연결된 스위치부(38)는 부호변화검출부(34)로부터 부호변화신호가 있는가 없는가를 판단함으로써 디지털신호의 부호변화여부를 판단한다(S45). 부호변화검출부(34)로부터 부호변화신호가 없는 경우에는 순차적인 다음 디지털신호로 타이밍오차산출 및 부호변화검출 과정을 반복한다. 스위치부(38)는 부호변화검출부(34)로부터 부호변화신호가 있는 경우에는 스위치를 구동시킨다(S47). 스위치부(38)가 구동되면, 스위치부(38)는 연산부(32)에 의하여 산출된 타이밍오차를 수령하여 위상고정루프(PLL)회로의 VCO부(17)로 타이밍오차를 출력한다(S49). VCO부(17)는 수령한 타이밍오차만큼 위상천이를 수행함으로써 샘플링타이밍의 보정을 실행시킨다(S146). 샘플링타이밍 보정후에도 일정 시간내에 새로운 디지털신호가 입력되면, 입력되는 디지털신호에 따라 순차적으로 지연되면서 타이밍오차 검출방법이 계속적으로 수행된다. 만약, 일정 시간내에 새로운 디지털신호가 입력되지 않으면, 타이밍오차 검출장치는 타이밍오차 검출과정이 종료된 것으로 판단하고, 이러한 타이밍오차 검출방법을 종료시킨다(S148).

이와 같이, 쿼타이저의 수를 네개로 늘림으로써, 신호대잡음비에 대한 분산값을 줄이고, 위상고정루프회로 동작시 타이밍오차에 의한 포착과 추적시 탁월한 성능을 발휘할 수 있게 된다.

또한, 순차적인 네개의 디지털신호를 이용한 부호변화검출부를 첨가시켜 부호변화가 발생한 경우에 타이밍오차를 검출하므로, VCO부는 적절한 시점에 샘플링 타이밍을 보정할 수 있게 된다.

또한, CD나 DVD와 같은 시스템의 배속이 심화되고 있는 시점에서 수신단에서의 데이터클럭에 의한 주파수오차와 위상오차에 대한 적응력이 강한 알고리즘을 제시함으로써 실제 고배속 구현상의 이점을 얻을 수도 있다.

본 발명에 따르는 입력신호의 타이밍오차 검출장치 및 방법에 있어서, 부호변화검출부는 엑소오어게이트로 구현하였지만, 이에 한하지 않고 엑소오어게이트로 구현하거나, 앤드게이트 및 오어게이트 등의 조합으로 구현할 수도 있다.

또한, 연산부(32)는 세개의 버퍼로 구성하였지만, 이에 한하지 않고 복수의 버퍼를 직렬로 연결하고 그 중에서 순차적으로 네개를 선택하여 타이밍오차를 산출하도록 구성할 수도 있다.

또한, 부호변화검출부(34)에는 연산부(32)에서 수행되는 네개의 순차적인 디지털신호와 동일한 신호가 입력되도록 구성하였지만, 이에 한하지 않고 논리회로를 달리함으로써 복수의 버퍼 중에서 선택적으로 네개의 디지털신호를 입력시키는 구성을 이룰 수도 있다.

또한, 본 발명에 있어서의 샘플링타이밍 조정부는 VCO부(17)로 구현하였지만, 이에 한하지 않고 샘플링타이밍을 조정할 수 있는 다른 장치로 구현될 수도 있다.

또한, 본 발명에 있어서는 위상오차검출장치를 위상고정루프회로내에 구현하여 설명하였지만, 위상오차검출장치를 위상고정루프회로 외에도 위상오차의 검출이 필요한 다른 분야에 적용할 수도 있다.

발명의 효과

이상 설명하는 바와 같이, 본 발명에 따르면, 순차적인 네개의 디지털신호를 이용하여 타이밍오차를 검출하고, 부호변화검출부를 추가하여 부호변화가 있는 경우에만 상기 타이밍오차를 출력시킴으로써 타이밍오차에 대한 지터성능 향상을 가져올 뿐만아니라, 신호대잡음비에 따른 타이밍오차값들의 분산을 줄일 수 있게 된다.

(57) 청구의 범위

청구항 1.

순차적으로 입력되는 신호를 디지털신호로 변환시키는 A/D변환부;

상기 A/D변환부로부터 순차적으로 입력되는 상기 디지털신호의 입력타이밍과 상기 A/D변환부의 샘플링타이밍간의 타이밍오차를 산출하는 연산부, 상기 디지털신호의 부호변화를 검출하는 부호변화검출부, 및 상기 부호변화검출부에 의해 구동되어 상기 부호변화검출부가 상기 부호변화를 검출한 경우에 상기 연산부가 산출한 상기 타이밍오차를 출력하는 스위치부를 포함한 위상오차검출부; 및

상기 스위치부로부터 상기 타이밍오차를 수령하여 상기 타이밍오차에 대응하여 위상을 천이시킴으로써 상기 A/D변환부의 샘플링 타이밍을 변화시키는 샘플링타이밍 조정부;를 포함하는 것을 특징으로 하는 위상고정루프회로(phase locked loop circuit).

청구항 2.

제 1 항에 있어서,

상기 위상오차검출부로부터 상기 타이밍오차를 수령하여 노이즈를 제거하고, 상기 노이즈가 제거된 타이밍오차를 상기 샘플링타이밍 조정부에 출력하는 필터부를 더 포함하는 것을 특징으로 하는 위상고정루프회로.

청구항 3.

제 1 항에 있어서,

상기 연산부는 다음과 같은 식에 의해 상기 타이밍오차가 산출되는 것을 특징으로 하는 위상고정루프회로:

$$z_k = \frac{1}{8} [(x_{k-3} + x_{k-2}) \times (a_{k-1} + a_k) - (x_{k-1} + x_k) \times (a_{k-3} + a_{k-2})]$$

(여기서,

z_k = 상기 타이밍오차,

x_k = k번째 입력된 상기 디지털신호,

a_k = k번째 입력된 상기 디지털신호의 이치양자화된 값, 그리고

$k = 4, 5, 6, 7, \dots, n, \dots$ (n : 자연수))

청구항 4.

제 1 항에 있어서,

상기 부호변화검출부는, 소정 갯수의 상기 디지털신호가 입력되는 엑소오어게이트를 포함하는 것을 특징으로 하는 위상고정루프회로.

청구항 5.

A/D변환부로부터 순차적으로 입력되는 디지털신호의 입력타이밍과 상기 A/D변환부의 샘플링타이밍간의 타이밍오차를 산출하는 연산부;

상기 디지털신호의 부호변화를 검출하는 부호변화검출부; 및

상기 부호변화검출부에 의해 구동되어 상기 부호변화검출부가 상기 부호변화를 검출한 경우에 상기 연산부가 산출한 상기 타이밍오차를 출력하는 스위치부;를 포함하는 위상오차검출장치.

청구항 6.

제 5 항에 있어서,

상기 연산부는 다음과 같은 식에 의해 상기 타이밍오차가 산출되는 것을 특징으로 하는 위상오차검출장치:

$$z_k = \frac{1}{8} [(x_{k-3} + x_{k-2}) \times (a_{k-1} + a_k) - (x_{k-1} + x_k) \times (a_{k-3} + a_{k-2})]$$

(여기서,

z_k = 상기 타이밍오차,

x_k = k번째 입력된 상기 디지털신호,

a_k = k번째 입력된 상기 디지털신호의 이치양자화된 값, 그리고

$k = 4, 5, 6, 7, \dots, n, \dots$ (n : 자연수))

청구항 7.

제 5 항에 있어서,

상기 부호변화검출부는, 소정 갯수의 상기 디지털신호가 입력되는 엑소오어게이트를 포함하는 것을 특징으로 하는 위상오차검출장치.

청구항 8.

순차적으로 입력되는 디지털신호의 입력 타이밍과 상기 디지털신호의 샘플링 타이밍간의 타이밍오차를 산출하고, 순차적으로 입력되는 상기 디지털신호의 부호변화를 검출하는 단계; 및

상기 부호변화가 검출된 경우에 상기 타이밍오차를 출력하는 단계;를 포함하는 것을 특징으로 하는 타이밍오차 검출방법.

청구항 9.

제 8 항에 있어서,

상기 타이밍오차 산출단계에서는, 다음과 같은 식에 의해 상기 타이밍오차가 산출되는 것을 특징으로 하는 타이밍오차 검출방법:

$$z_k = \frac{1}{8} [(x_{k-3} + x_{k-2}) \times (a_{k-1} + a_k) - (x_{k-1} + x_k) \times (a_{k-3} + a_{k-2})]$$

(여기서,

z_k = 상기 타이밍오차,

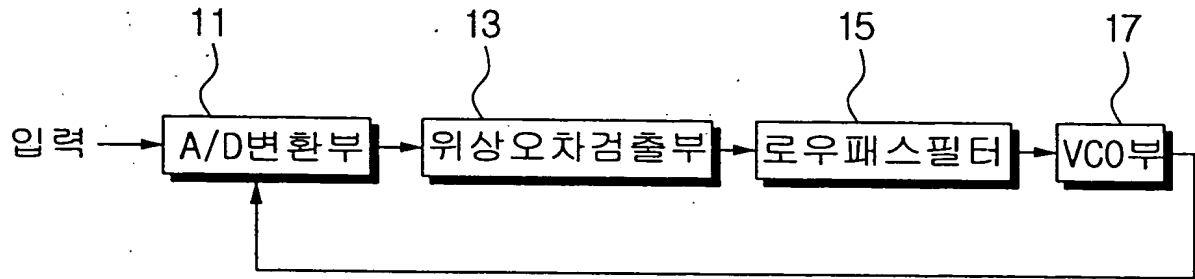
x_k = k번째 입력된 상기 디지털신호,

a_k = k번째 입력된 상기 디지털신호의 이치양자화된 값, 그리고

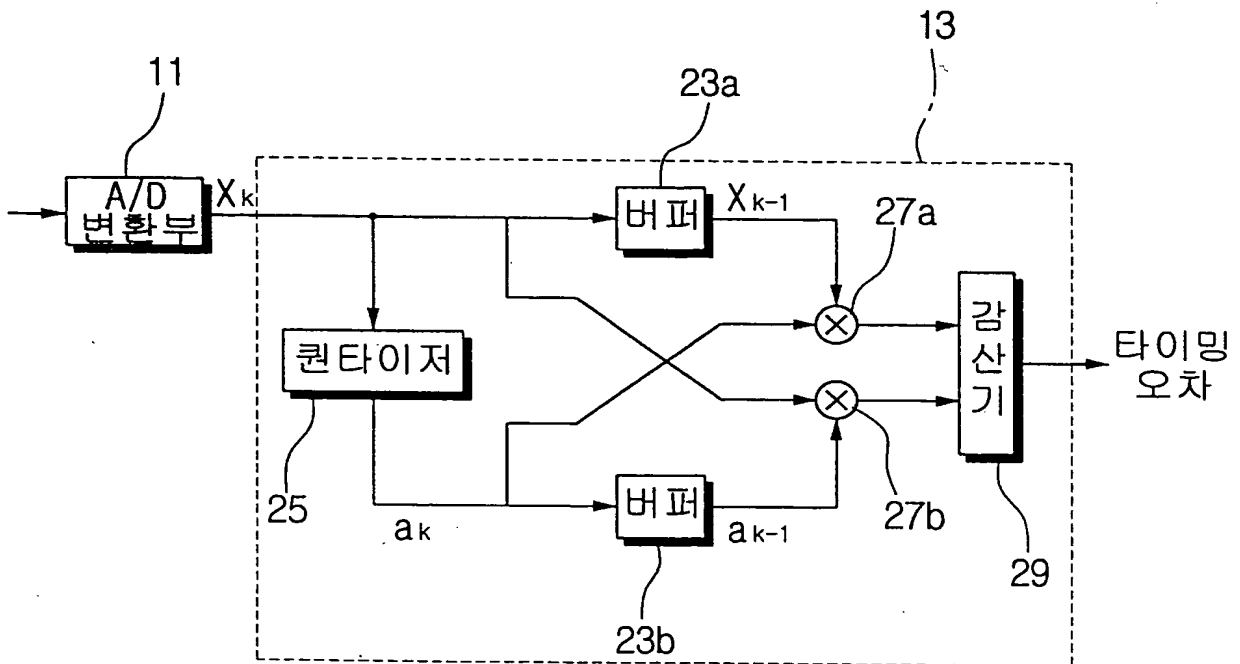
$k = 4, 5, 6, 7, \dots, n, \dots$ (n : 자연수))

도면

도면 1



도면 2



도면 3

